

⑫ 公開特許公報 (A) 昭60-59736

⑬ Int.Cl.⁴
H 01 L 21/302識別記号 廈内整理番号
L-8223-5F

⑭ 公開 昭和60年(1985)4月6日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 絶縁膜の平坦化方法

⑯ 特願 昭58-168895
⑰ 出願 昭58(1983)9月13日

⑱ 発明者 真弓周一 門真市大字門真1006番地 松下電子工業株式会社内

⑲ 出願人 松下電子工業株式会社 門真市大字門真1006番地

⑳ 代理人 弁理士 中尾敏男 外1名

明細書

1、発明の名称

絶縁膜の平坦化方法

2、特許請求の範囲

(1) 半導体基板上に被着した絶縁膜を平坦化するにあたり、前記半導体基板を正面に垂直な軸を回転軸として回転させると同時に、前記半導体基板表面に正面に対して斜め方向から光を照射しながら、前期絶縁膜をプラズマエッティングすることを特徴とする絶縁膜の平坦化方法。

(2) 光が紫外線であることを特徴とする特許請求の範囲第1項記載の絶縁膜の平坦化方法。

(3) 光の入射角度が半導体基板の正面に対して $20\sim70^\circ$ であることを特徴とする特許請求の範囲第1項記載の絶縁膜の平坦化方法。

3、発明の詳細な説明

産業上の利用分野

本発明は段差構造を有する基板面に設けた絶縁膜を平坦化する方法に関する。

従来例の構成とその問題点

半導体装置では、絶縁被膜上に電極形成するため、被膜面の平坦性が重視される。

従来、平坦化技術の例としてはリンケイ酸ガラス(以下、PSGという)膜を加熱溶融させて表面の平坦化を図るリフローの技術があるが、加熱温度が高いためにこの処理工程でソース・ドレイン拡散層中の不純物が再分布して拡散層深さが深くなるため、素子のチャネル長が 24μ 以下の超LSI素子では短チャネル効果が問題となってくる。また、半導体素子の高集積化において要求される多層配線技術に関しては、配線に λ を用いた場合、上層及び下層 λ 配線間の層間絶縁膜を成すPSGの表面平坦化には高温を必要とするリフロー技術は適用できない。低温で素子を平坦化する技術はいろいろあるが、そのなかの一例を第1図を用いて説明する。

なお、第1図は λ 2層配線技術において最も平坦化の要求される工程、すなわち、上層 λ 配線を形成するにあたり要求される下層 λ 配線を被覆したPSG膜の平坦化工程を示す図で

あり、簡明化のため、図には下層 λ 配線により生じる段差部分を示し、あえてトランジスター領域の断面は示していない。

第1図に示すように、まず、シリコン基板1上に層間絶縁膜としてPSG膜2を形成し、コンタクト窓を開孔(図には示されていない)した後、フォトエッチング技術を用いて膜厚8000Åの下層 λ 配線3を形成する(第1図a)。この後、膜厚16000ÅのPSG膜4を被覆する。この時、下層 λ 配線3の断差によってPSG膜4の表面段差は基板面に対して約80°となる。(第1図b)。次に、このPSG膜4の表面を平坦化するために、Arガスを用いてPSG膜4をスパッタエッチングする。

このスパッタエッチングの条件は、電極間隔が2.5cm, Ar圧が1.7パスカル, RFパワー密度が0.4W/cm²であり、PSG膜のエッチング速度は約50Å/minである。約15分間のエッチングにより、下層 λ 配線によるPSG膜4の表面段差の角度は基板面に対して約45°となるやかに

なる(第1図c)。これで平坦化工程は終了し、この後、スルーホールを開孔し、上層 λ 配線を形成して完成する。しかし、この様にして行なわれる平坦化方法においてはAr⁺イオンによる衝撃によって半導体基板上に形成されているMOS型トランジスターのしきい値電圧(V_t)が変動してしまうという欠点がある。例えば、Arガスによるスパッタエッチングを15分間上記の条件で実施した場合、ロチャネルトランジスターのしきい値電圧は-2V以上の変化を生じ、スパッタエッチング後、水素雰囲気で熱処理を施しても、1V程度回復するだけでエッチング前のしきい値電圧(V_t)には戻らない。このことは半導体素子の製造上重大な問題となる。

一方、PSG膜4を平坦化するために、C₃F₈ガス等を用いた反応性イオンエッチングによりPSG膜をエッチングする方法もあるが、この場合も同様に、イオン衝撃によるしきい値電圧の変動が生じるため問題である。

発明の目的

本発明はこの様な問題を解決するものである。すなわち、低圧でPSG膜等の絶縁膜の平坦化が可能であり、かつトランジスターの特性変動を伴わない絶縁膜の平坦化方法を提供するものである。

発明の構成

本発明は段差を有する半導体基板上に被覆した絶縁膜を平坦化するにあたり、前記半導体基板を主面に垂直な軸を回転として回転させると同時に、基板表面に対して斜め方向から光を照射しながら、前記絶縁膜をラジカル種によってプラズマエッチングする。この時、光の照射強度が大きい部分程、絶縁膜のエッチングが速いため平坦化が可能となり、また、ラジカル種によって絶縁膜がエッチングされるためイオン衝撃によるトランジスター特性の変動は生じない。

実施例の説明

一例として、本発明にかかる絶縁膜の平坦化方法を採用した λ 2層配線形成方法の一実施例を第2図を用いて説明する。

まず、シリコン基板1上に所定のLOCOS膜

化膜、ゲート酸化膜、ポリシリコンゲート、ソース、ドレイン拡散層形成処理を行ったのち、これらをおおう層間絶縁膜のPSG膜2を形成し、更にフォトエッチング技術を用いて膜厚8000Åの下層 λ 配線3を形成する(第2図a)。この後、気相成長法により膜厚16000ÅのPSG膜4を被覆した後、スルーホール5を開孔する(第2図b)。次に、半導体ウェハーの中心を軸として半導体基板を水平に回転し、かつ、半導体基板面に対して角度45°の方向から水銀ランプにより得られた波長250~400nmの紫外線を照射しながらプラズマエッチングを行う。エッチングには高圧パルス装置を用い、CF₄ガスによりPSG膜4をエッチングする。RFパワーが400Wの場合、約1000Å/minのエッチング速度が得られ、8分間、PSG膜4をエッチングした(第2図c)。この時、紫外線はPSG膜4の細い溝6の底部にはほとんど照射されず、一方、PSG膜4の表面段差の側面は紫外線がほぼ垂直に当たるため照射強度が大きい。そして、

紫外線の照射強度が大きい部分程、PSG膜のエッティング速度が速く、第2図○に示すように、PSG膜4の幅1μm以下の細い溝6はほとんど無くなり、広い溝7に関しては槽側壁の正面に対する角度がゆるやかになり、PSG膜4の平坦化が図られる。この後、上層A/B配線を形成して完成する。

本実施例の場合、紫外線が照射した部分のPSG膜においては、紫外線吸収によりSi-O結合の結合力が弱められるので紫外線の照射強度の大きい部分程、PSG膜のエッティング速度が大きくなり、PSG膜の平坦化が図られるものと考えられる。尚、紫外線照射角度は基板面に対して20~70°の時が平坦化に対して最も効果的である。一方、紫外線を照射せずにPSG膜をプラズマエッティングした場合は、PSG膜表面の形状はエッティング前と同じ形状を保つことが判り、本実施例の場合、PSG膜はラジカル種によりエッティングされたものと考えられる。

発明の効果

本発明により平坦化を図ったA/B2層配線構造を有するMOS型集積回路において、しきい値電圧の変動は0.1V以下であった。これは本実施例の場合、PSG膜はラジカルによってエッティングされるためイオン照射による電子へのダメージがほとんどないためである。

尚、本実施例においてはPSG膜の平坦化について説明したが、塗化ケイ素膜の平坦化に関しても、本実施例と同様の方法で平坦化が可能となることは明らかである。

以上のように、本発明によれば、遮光特性を変動させることなく、低温で絶縁膜の平坦化が可能となる。

4. 図面の簡単な説明

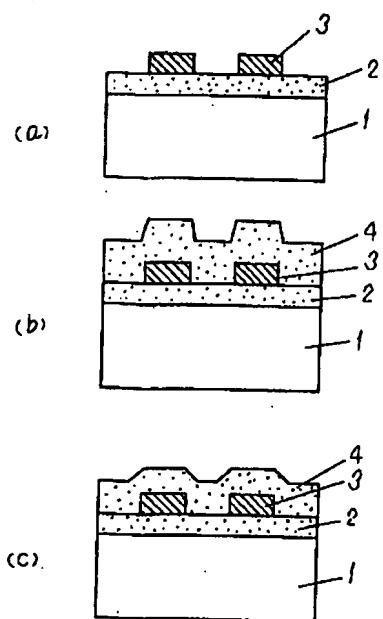
第1図●~○は従来技術を説明するための製造工程を示す断面図、第2図△~○は本発明の一実施例を説明するための製造工程を示す断面図である。

1.....シリコン基板、2, 4.....PSG(シリケイ酸ガラス)、3.....下層A/B配線、5.....ス

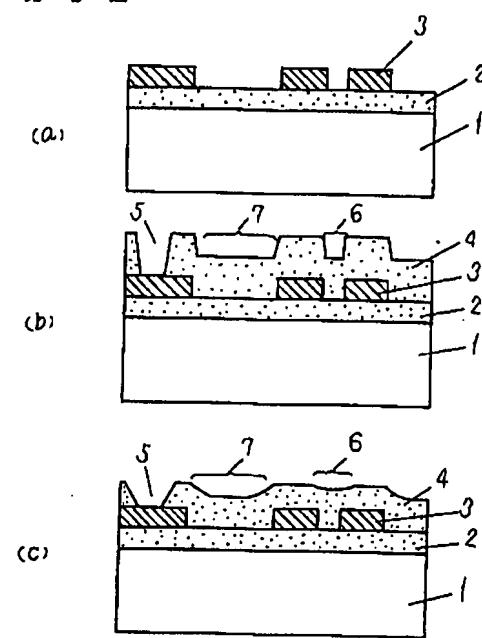
ルーホール、6.....PSG膜表面の細い溝、7.....PSG膜表面の広い溝。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図



DERWENT-ACC-NO: 1985-119424

DERWENT-WEEK: 198520

COPYRIGHT 2007 DERWENT INFORMATION LTD

TITLE: Semiconductor insulation film flattening method - makes plasma etching of isolation film on water, levels it at low temp., erases change of transistor characteristic
NoAbstract Dwg 2/2

----- KWIC -----

Derwent Accession Number - NRAN (1):

1985-119424

Title - TIX (1):

Semiconductor insulation film flattening method - makes plasma etching of isolation film on water, levels it at low temp., erases change of transistor characteristic NoAbstract Dwg 2/2

PF Publication Date - PFPD (1):

19850406

Standard Title Terms - TTX (1):

SEMICONDUCTOR INSULATE FILM FLATTEN METHOD PLASMA ETCH ISOLATE FILM WATER
LEVEL LOW TEMPERATURE ERASE CHANGE TRANSISTOR CHARACTERISTIC
NOABSTRACT